

## **DISPLAY PANEL DRIVE CIRCUIT**

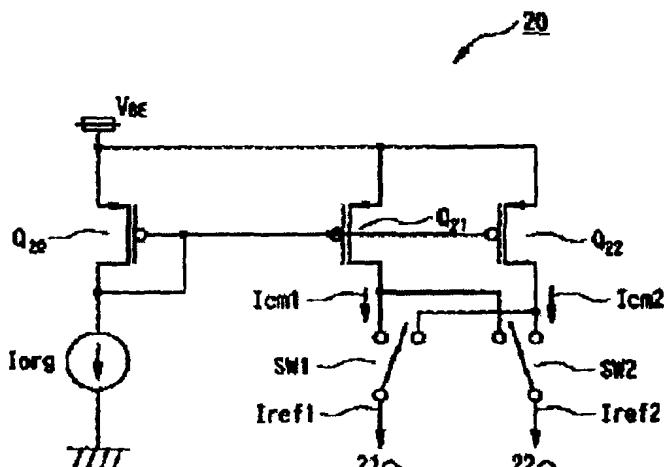
**Patent number:** JP2003066903  
**Publication date:** 2003-03-05  
**Inventor:** YAMAHA YOSHIRO; TAKEHARA SATOSHI  
**Applicant:** ASAHI CHEMICAL MICRO SYST  
**Classification:**  
- **International:** G09G3/20; G09G3/30; H05B33/14; G09G3/20;  
G09G3/30; H05B33/14; (IPC1-7): G09G3/30; G09G3/20;  
H05B33/14  
- **european:**  
**Application number:** JP20010251431 20010822  
**Priority number(s):** JP20010251431 20010822

**Report a data error here**

## **Abstract of JP2003066903**

**PROBLEM TO BE SOLVED:** To reduce variation of current which occurs at a current mirror, and to eliminate variation in reference current between a plurality of IC chips.

**SOLUTION:** Switching circuits SW1 and SW2 are switched over for time-division control. Thus, the variation quantity between a current source I<sub>ORG</sub> which realizes original current of current mirror and currents I<sub>REF1</sub> and I<sub>REF2</sub> decreases, while the current I<sub>REF1</sub> and the current I<sub>REF2</sub> supplied to a plurality of IC chips are equal to each other. By switching over the relationship between a plurality of IC chips and a plurality of drive current sources at a prescribed cycle, the current variation occurring at the current mirror is reduced. Since the variation in reference current between a plurality of IC chips is eliminated, a regular emission luminosity is provided on a display panel.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-66903

(P2003-66903A)

(43)公開日 平成15年3月5日(2003.3.5)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 H 5 C 0 8 0
	6 2 3		6 2 3 R
	6 4 2		6 4 2 C
H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数4 O.L (全10頁)

(21)出願番号 特願2001-251431(P2001-251431)

(22)出願日 平成13年8月22日(2001.8.22)

(71)出願人 594021175  
旭化成マイクロシステム株式会社  
東京都新宿区西新宿三丁目7番1号  
(72)発明者 山羽 義郎  
神奈川県厚木市岡田3050番地 旭化成マイ  
クロシステム株式会社内  
(72)発明者 竹原 駿  
神奈川県厚木市岡田3050番地 旭化成マイ  
クロシステム株式会社内  
(74)代理人 100066980  
弁理士 森 哲也 (外2名)

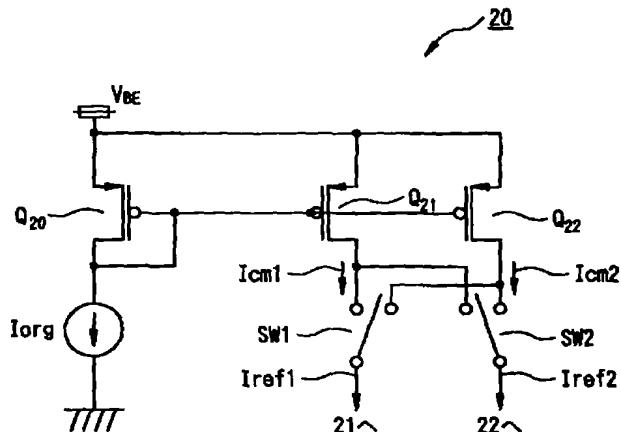
### (54)【発明の名称】ディスプレイパネル駆動回路

#### (57)【要約】

【課題】 カレントミラーで発生する電流ばらつきを小さくし、また複数のICチップ間での基準電流のばらつきをなくす。

【解決手段】 スイッチング回路SW1、SW2を切り替えて時分割制御を行う。これにより、カレントミラーの元電流を実現する電流源 $I_{org}$ と電流 $I_{ref1}$ 、 $I_{ref2}$ とのばらつきの量が減少し、さらに複数のICチップに与える電流 $I_{ref1}$ と電流 $I_{ref2}$ とが等しくなる。

【効果】 複数のICチップと複数の駆動電流供給源との対応関係を所定周期で切り替えることにより、カレントミラーで発生する電流ばらつきを小さくすることができる。また複数のICチップ間での基準電流のばらつきをなくすことができるので、ディスプレイパネル上において均一な発光輝度が得られる。



## 【特許請求の範囲】

【請求項 1】 複数の ICチップに電流を供給し、この供給された電流によって前記複数の ICチップから出力される駆動出力によってディスプレイパネルを駆動するディスプレイパネル駆動回路であって、前記複数の ICチップそれぞれに対応して設けられ対応する ICチップに駆動電流を出力する駆動電流供給手段と、前記 ICチップと前記駆動電流供給手段との対応関係を所定周期で切り替えるスイッチング手段とを含むことを特徴とするディスプレイパネル駆動回路。

【請求項 2】 前記駆動電流供給手段に共通に設けられた基準電流源を更に含み、前記基準電流源と前記駆動電流供給手段とによって電流ミラー回路が構成されることを特徴とする請求項 1 記載のディスプレイパネル駆動回路。

【請求項 3】 前記複数の ICチップは 3 以上の ICチップを含み、前記駆動電流供給源と前記 ICチップとの対応関係が所定周期でローテーションされて切り替わることを特徴とする請求項 1 又は 2 記載のディスプレイパネル駆動回路。

【請求項 4】 前記ディスプレイパネルは、前記 ICチップから出力される駆動出力によってそれぞれ駆動される複数のエレクトロルミネッセンス素子によって構成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のディスプレイパネル駆動回路。

## 【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】本発明はディスプレイパネル駆動回路に関し、特に有機エレクトロルミネッセンス素子等の自発光素子からなるディスプレイパネルを用いたディスプレイ装置の駆動回路に関する

### 【0002】

【従来の技術】薄型で低消費電力なディスプレイ装置を実現するための自発光素子として、有機エレクトロルミネッセンス（以下、 EL と称する）素子が知られている。図 5 は、かかる EL 素子の概略構成を示す図である。同図に示されているように、 EL 素子は、透明電極 101 が形成されたガラス板等からなる透明基板 100 上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも 1 層の有機機能層 102 、及び金属電極 103 が積層されたものである。

【0003】図 6 は、かかる EL 素子の特性を電気的に示す等価回路である。同図に示されるように、 EL 素子は、容量成分 C と、該容量成分に並列に結合するダイオード特性の成分 E とによって置き換えることができる。ここで、透明電極 101 の陽極にプラス、金属電極 103 の陰極にマイナスの電圧を加えて透明電極及び金属電極間に直流を印加すると、容量成分 C に電荷が蓄積される。この際、 EL 素子固有の障壁電圧または発光閾値電圧を越えると、電極（ダイオード成分 E の陽極側）から

発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層 102 が発光する。

【0004】図 7 は、複数の上記 EL 素子をマトリクス状に配列してなる EL ディスプレイパネルを用いて画像表示を行う EL ディスプレイ装置の概略構成を示す図である。同図において、 EL ディスプレイパネルとしての ELDP10 には、第 1 表示ライン～第 n 表示ライン各々を担う陰極線（金属電極） B<sub>1</sub> ～ B<sub>n</sub> と、これら陰極線 B<sub>1</sub> ～ B<sub>n</sub> 各々に交叉して配列された m 個の陽極線（透明電極） A<sub>1</sub> ～ A<sub>m</sub> が形成されている。これら陰極線 B<sub>1</sub> ～ B<sub>n</sub> 及び陽極線 A<sub>1</sub> ～ A<sub>m</sub> の交差部分の各々に、上述した如き構造を有する EL 素子 E<sub>11</sub> ～ E<sub>nm</sub> が形成されている。尚、これら EL 素子 E<sub>11</sub> ～ E<sub>nm</sub> 各々は、 ELDP10 としての 1 画素を担うものである。

【0005】発光制御回路 1 は、入力された 1 画面分（n 行、 m 列）の画像データを、 ELDP10 の各画素、すなわち上記 EL 素子 E<sub>11</sub> ～ E<sub>nm</sub> の各々に対応した画素データ群 D<sub>11</sub> ～ D<sub>nm</sub> に変換し、これらを図 8 に示されるが如く、 1 行分毎に順次、陽極線ドライブ回路 2 に供給して行く。例えば、画素データ D<sub>11</sub> ～ D<sub>nm</sub> とは、 ELDP10 の第 1 表示ラインに属する EL 素子 E<sub>11</sub> ～ E<sub>nm</sub> 各々に対して発光を実施させるか否かを指定する m 個のデータビットであり、夫々、論理レベル “1” である場合には “発光” 、論理レベル “0” である場合に “非発光” を示す。

【0006】また、発光制御回路 1 は、図 8 に示されているように 1 行分毎の画素データの供給タイミングに同期して、 ELDP10 の第 1 表示ライン～第 n 表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路 3 に供給する。陽極線ドライブ回路 2 は、先ず、上記画素データ群における m 個のデータビットの内から、“発光” を指定する論理レベル “1” のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した “列” に属する陽極線を陽極線 A<sub>1</sub> ～ A<sub>m</sub> の内から全て選択し、この選択した陽極線のみに定電流源を接続し、所定の画素駆動電流 i を供給する。

【0007】陰極線走査回路 3 は、上記陰極線 B<sub>1</sub> ～ B<sub>n</sub> の内から、上記走査線選択制御信号で示される表示ラインに対応した陰極線を逐一的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位 V<sub>c</sub> c を夫々印加する。尚、かかる高電位 V<sub>c</sub> c は、 EL 素子が所望の輝度で発光しているときの両端電圧（寄生容量 C への充電量に基づいて決定する電圧）とほぼ同一値に設定される。

【0008】この際、上記陽極線ドライブ回路 2 によって上記定電流源が接続された “列” と、上記陰極線走査回路 3 にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び “列” に交叉して形成されている EL 素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路 3 によつ

て高電位V<sub>CC</sub>に設定された表示ラインと、上記定電流源が接続された“列”との間には電流が流れ込まないので、かかる表示ライン及び“列”に交叉して形成されているEL素子は非発光のままである。

【0009】以上のような動作が、画素データ群D<sub>11</sub>～D<sub>1m</sub>、D<sub>21</sub>～D<sub>2m</sub>、…、D<sub>n1</sub>～D<sub>nm</sub>各々に基づいて実施されると、ELDP10の画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画像が表示されるのである。

#### 【0010】

【発明が解決しようとする課題】ここで、近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、つまり上記陰極線Bの本数を増加すると共に、陽極線Aの本数を増加して画面の高精細化を行う必要が生じてきた。従って、これら陽極線A及び陰極線B各々の本数の増加につれ、陽極線ドライブ回路2及び陰極線走査回路3各々の回路規模も増大するので、両者をIC化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念される。そこで、これら陽極線ドライブ回路2及び陰極線走査回路3各々を、夫々複数のICチップで構築することが考えられた。

【0011】ところが、陽極線ドライブ回路2を複数のICチップで構築すると、製造上のばらつき等により、各ICチップ間で、上記陽極線に供給すべき発光駆動電流の電流量が異なってしまう場合がある。よって、かかる発光駆動電流の違いによりELDP10の画面上には互いに輝度の異なる領域ができてしまうという問題があった。これを解決するための技術が特開2001-42827号公報に記載されている。

【0012】図9は、同公報に記載されているELディスプレイ装置の概略構成を示す図である。同図において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線（金属電極）B<sub>1</sub>～B<sub>n</sub>と、これら陰極線B<sub>1</sub>～B<sub>n</sub>各々に交叉して配列された2m個の陽極線（透明電極）A<sub>1</sub>～A<sub>2m</sub>が形成されている。これら陰極線B<sub>1</sub>～B<sub>n</sub>及び陽極線A<sub>1</sub>～A<sub>2m</sub>各々の交叉部に、図5に示されているような構造を有するEL素子E<sub>1,1</sub>～E<sub>n,2m</sub>が形成されている。尚、これらEL素子E<sub>1,1</sub>～E<sub>n,2m</sub>各々は、ELDP10'としての1画素を担うものである。

【0013】発光制御回路1'は、図10に示されているように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線B<sub>1</sub>～B<sub>n</sub>の内から逐一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位V<sub>CC</sub>を夫々印加する。

【0014】また、発光制御回路1'は、入力された1

画面分（n行、2m列）の画像データをELDP10'の各画素、すなわち上記EL素子E<sub>1,1</sub>～E<sub>n,2m</sub>各々に対応した画素データD<sub>1,1</sub>～D<sub>n,2m</sub>に変換し、これを第1列～第m列に属するものと、第m+1列～第2m列に属するものとに分割する。この際、上記第1列～第m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,1</sub>～D<sub>1,m</sub>、D<sub>2,1</sub>～D<sub>2,m</sub>、D<sub>3,1</sub>～D<sub>3,m</sub>、…、及びD<sub>n,1</sub>～D<sub>n,m</sub>各々を、図10に示されているように、第1駆動データG<sub>A,1</sub>として、順次、第1陽極線ドライブ回路21に供給する。これと同時に、発光制御回路1'は、上記第m+1列～第2m列に属する画素データを1表示ライン毎にグループ化した画素データD<sub>1,m+1</sub>～D<sub>1,2m</sub>、D<sub>2,m+1</sub>～D<sub>2,2m</sub>、D<sub>3,m+1</sub>～D<sub>3,2m</sub>、…、及びD<sub>n,m+1</sub>～D<sub>n,2m</sub>各々を、図10に示されているように、第2駆動データG<sub>B,1</sub>として、順次、第2陽極線ドライブ回路22に供給する。

【0015】なお、これら第1駆動データG<sub>A,1</sub>及び第2駆動データG<sub>B,1</sub>の各々は、図10に示されているように、上記走査線選択制御信号に同期して順次、第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々に供給される。この際、上記第1駆動データ群G<sub>A,1</sub>とは、ELDP10'の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。また、上記第2駆動データ群G<sub>B,1</sub>とは、ELDP10'の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。例えば、かかるデータビットが論理レベル“1”である場合には発光を実施する一方、“0”である場合には発光を実施させない。

【0016】図11は、駆動回路としての上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22各々の内部構成を示す図である。尚、上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々は、互いに異なる2つのICチップ内に夫々構築される。同図において、第1陽極線ドライブ回路21は、基準電流制御回路RC、制御電流出力回路CO、スイッチブロックSB、並びに、m個の電流駆動源としてのトランジスタQ<sub>1</sub>～Q<sub>m</sub>及び抵抗R<sub>1</sub>～R<sub>m</sub>から構成される。

【0017】基準電流制御回路RCにおけるトランジスタQ<sub>b</sub>のエミッタには抵抗R<sub>o</sub>を介して所定電圧V<sub>BE</sub>が接続されており、そのベース及びコレクタにはトランジスタQ<sub>a</sub>のコレクタが接続されている。演算増幅器OPには所定の基準電位V<sub>REF</sub>と、トランジスタQ<sub>a</sub>のエミッタ電位が入力されており、その出力電位は、トランジスタQ<sub>a</sub>のベースに入力される。トランジスタQ<sub>a</sub>のエミッタは、抵抗R<sub>p</sub>を介してアース電位に接地されている。以上の如き構成により、トランジスタQ<sub>a</sub>のコレクターエミッタ間に基準電流I<sub>REF</sub>（=V<sub>REF</sub>/R<sub>p</sub>）が流れる。

ことになる。

【0018】トランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 $V_{BE}$ が印加されており、更に、夫々のベースには上記トランジスタ $Q_n$ のベースが接続されている。この際、上記抵抗 $R_1$ 及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 $Q_n$ 及び $Q_b$ の各々は、互いに同一特性を有するものである。よって、上記基準電流制御回路 $RC$ と、トランジスタ $Q_1 \sim Q_m$ とは電流ミラー回路（以下、カレントミラーと呼ぶ）を構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッターコレクタ間には、上記基準電流 $I_{REF}$ と同一の電流値を有する発光駆動電流 $i$ が流れ、これが出力されることになる。

【0019】スイッチブロック $SB$ には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 $i$ を夫々、出力端 $X_1 \sim X_m$ の各々に導出する $m$ 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第1陽極線ドライブ回路 $21$ のスイッチブロック $SB$ では、上記発光制御回路 $1'$ から供給された第1駆動データ $GA_1 \sim GA_m$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1 \sim S_m$ 各々が独立してオン／オフ制御される。例えば、第1駆動データ $GA_1$ が論理レベル“0”的きには、スイッチング素子 $S_1$ はオフ状態となる一方、かかる第1駆動データ $GA_1$ が論理レベル“1”的きには、オン状態となってトランジスタ $Q_1$ から供給された発光駆動電流 $i$ を出力端 $X_1$ に導出する。また、第1駆動データ $GA_1$ が論理レベル“0”的きには、スイッチング素子 $S_1$ はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタ $Q_1$ から供給された発光駆動電流 $i$ を出力端 $X_1$ に導出する。このように、上記トランジスタ $Q_1 \sim Q_m$ の各々から出力された発光駆動電流 $i$ は、出力端 $X_1 \sim X_m$ の各々を介して、図9に示されているように、ELDP10'の陽極線 $A_1 \sim A_m$ の各々に供給される。

【0020】制御電流出力回路 $CO$ におけるトランジスタ $Q_o$ のエミッタには抵抗 $R_o$ を介して画素駆動電位 $V_{BE}$ が印加されており、そのベースには上記基準電流制御回路 $RC$ におけるトランジスタ $Q_n$ のベースが接続されている。この際、上記抵抗 $R_o$ の抵抗値は、基準電流制御回路 $RC$ における抵抗 $R_1$ と同一であり、更に、トランジスタ $Q_o$ は、基準電流制御回路 $RC$ におけるトランジスタ $Q_a$ 及び $Q_b$ 各々と同一特性を有するものである。よって、制御電流出力回路 $CO$ におけるトランジスタ $Q_o$ と、上記基準電流制御回路 $RC$ とはカレントミラーを形成することになり、上記トランジスタ $Q_o$ のエミッターコレクタ間には、上記基準電流 $I_{REF}$ と同一電流量の電流が流れる。制御電流出力回路 $CO$ は、かかる電流を制御電流 $i_c$ とし、これを出力端 $I_{out}$ を介して第2陽極線ドライブ回路 $22$ の入力端 $I_{in}$ に供給する。つまり、第1陽極線ドライブ回路 $21$ がELDP10'の陽

極線 $A_1 \sim A_m$ の各々に供給する発光駆動電流 $i$ と同一の電流が、制御電流 $i_c$ として第2陽極線ドライブ回路 $22$ に供給されるのである。

【0021】第2陽極線ドライブ回路 $22$ は、駆動電流制御回路 $CC$ 、スイッチブロック $SB$ 、並びに、 $m$ 個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。駆動電流制御回路 $CC$ におけるトランジスタ $Q_c$ のコレクタ及びベースは、上記入力端 $I_{in}$ に接続されており、そのエミッタは抵抗 $R_o$ を介してアース電位に接地されている。よって、上記第1陽極線ドライブ回路 $21$ から出力された制御電流 $i_c$ は、その入力端 $I_{in}$ を介してトランジスタ $Q_c$ のコレクターエミッタ間に流れる。

【0022】また、駆動電流制御回路 $CC$ におけるトランジスタ $Q_c$ のエミッタには抵抗 $R_s$ を介して画素駆動電位 $V_{BE}$ が印加されており、そのベース及びコレクタにはトランジスタ $Q_d$ のコレクタが接続されている。かかるトランジスタ $Q_d$ のベースは上記トランジスタ $Q_c$ のコレクタ及びベースに夫々接続されており、そのエミッタは上記抵抗 $R_o$ を介してアース電位に接地されている。この際、第1陽極線ドライブ回路 $21$ のトランジスタ $Q_o$ と、上記トランジスタ $Q_c$ 、 $Q_d$ 及び $Q_e$ の各々とは同一特性のトランジスタであり、更に、第1陽極線ドライブ回路 $21$ における抵抗 $R_o$ と上記抵抗 $R_s$ とは同一抵抗値である。よって、上記第1陽極線ドライブ回路 $21$ から供給された制御電流 $i_c$ と同一の電流が上記トランジスタ $Q_o$ のコレクターエミッタ間に流れる。

【0023】また、第2陽極線ドライブ回路 $22$ におけるトランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 $V_{BE}$ が印加されており、更に、夫々のベースには上記トランジスタ $Q_o$ のベースが接続されている。この際、上記抵抗 $R_s$ 及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 $Q_d$ 及び $Q_e$ の各々は、互いに同一特性を有するものである。よって、上記駆動電流制御回路 $CC$ と、トランジスタ $Q_1 \sim Q_m$ とはカレントミラーを構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッターコレクタ間には、上記第1陽極線ドライブ回路 $21$ から供給された制御電流 $i_c$ と同一の電流量を有する発光駆動電流 $i$ が流れ、これが夫々出力される。すなわち、上記駆動電流制御回路 $CC$ により、第2陽極線ドライブ回路 $22$ のトランジスタ $Q_1 \sim Q_m$ 各々から出力される発光駆動電流 $i$ は、第1陽極線ドライブ回路 $21$ が出力した発光駆動電流と同一の電流量となるように調整されるのである。

【0024】スイッチブロック $SB$ には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 $i$ を夫々、出力端 $X_1 \sim X_m$ の各々に導出する $m$ 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第2陽極線ドライブ回路 $22$ のスイッチブロック $SB$ では、上記發

光制御回路 1' から供給された第 2 駆動データ G\_B\_1 ~ G\_B\_m 各々の論理レベルに応じて、上記スイッチング素子 S\_I ~ S\_m 各々が独立してオン／オフ制御される。

【0025】例えば、第 2 駆動データ G\_B\_1 が論理レベル“0”的ときには、スイッチング素子 S\_1 はオフ状態となる一方、かかる第 2 駆動データ G\_B\_1 が論理レベル“1”的ときには、オン状態となってトランジスタ Q\_1 から供給された発光駆動電流 i を出力端 X\_1 に導出する。また、第 2 駆動データ G\_B\_1 が論理レベル“0”的ときには、スイッチング素子 S\_1 はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタ Q\_1 から供給された発光駆動電流 i を出力端 X\_1 に導出する。このように、第 2 陽極線ドライブ回路 2\_2 のトランジスタ Q\_1 ~ Q\_m 各々から出力された発光駆動電流 i は、出力端 X\_1 ~ X\_m の各々を介して、図 9 に示されているように、ELDP10' の陽極線 A\_1 ~ A\_m の各々に供給される。

【0026】以上のように、上記公報に記載されている駆動回路では、陽極線ドライブ回路内に、発光駆動電流を発生させるための電流源（トランジスタ Q\_1 ~ Q\_m）の他に、この発光駆動電流を、入力された制御電流に応じた電流量に維持する駆動電流制御回路 C\_C と、かかる発光駆動電流自体を制御電流として出力する制御電流回路 C\_O とを設ける構成としている。ここで、ディスプレイパネルの陽極線を、夫々個別の IC チップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第 1 の陽極線ドライブ回路は、第 2 の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいて、その出力すべき発光駆動電流の電流量を制御する。よって、たとえ各 IC チップ（陽極線ドライブ回路としての）間に特性のばらつきがあつても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになるのである。

【0027】上述した公報に記載されている技術においては、IC チップで構成される第 1 陽極線ドライブ回路 2\_1 から、他の IC チップで構成される第 2 陽極線ドライブ回路 2\_2 に基準電流を渡す際、カレントミラーを用いている。このため、カレントミラーで電流ばらつきが生じると、複数の IC チップ間で、出力電流がばらついてしまう。すると、ディスプレイパネル上において均一な発光輝度が得られないという欠点がある。

【0028】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はカレントミラーで発生する電流ばらつきを小さくすることができ、また複数の IC チップ間での基準電流のばらつきをなくすことのできるディスプレイパネル駆動回路を提供することである。

#### 【0029】

【課題を解決するための手段】本発明の請求項 1 による

ディスプレイパネル駆動回路は、複数の IC チップに電流を供給し、この供給された電流によって前記複数の IC チップから出力される駆動出力によってディスプレイパネルを駆動するディスプレイパネル駆動回路であつて、前記複数の IC チップそれぞれに対応して設けられ対応する IC チップに駆動電流を出力する駆動電流供給手段と、前記 IC チップと前記駆動電流供給手段との対応関係を所定周期で切り替えるスイッチング手段とを含むことを特徴とする。

【0030】本発明の請求項 2 によるディスプレイパネル駆動回路は、請求項 1 において、前記駆動電流供給手段と共に設けられた基準電流源を更に含み、前記基準電流源と前記駆動電流供給手段とによって電流ミラー回路が構成されることを特徴とする。本発明の請求項 3 によるディスプレイパネル駆動回路は、請求項 1 又は 2 において、前記複数の IC チップは 3 以上の IC チップを含み、前記駆動電流供給源と前記 IC チップとの対応関係が所定周期でローテーションされて切り替わることを特徴とする。

【0031】本発明の請求項 4 によるディスプレイパネル駆動回路は、請求項 1 乃至 3 のいずれか 1 項において、前記ディスプレイパネルは、前記 IC チップから出力される駆動出力によってそれぞれ駆動される複数のエレクトロルミネッセンス素子によって構成されていることを特徴とする。要するに、複数の IC チップと複数の駆動電流供給源との対応関係（電気的接続関係）を所定周期で切り替えることにより、カレントミラーで発生する電流ばらつきを小さくすることができる。また複数の IC チップ間での基準電流のばらつきをなくすことができるので、ディスプレイパネル上において均一な発光輝度が得られる。

#### 【0032】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図においては、他の図と同等部分に同一符号が付されている。図 1 は本発明によるディスプレイパネル駆動回路の実施の一形態における主要部分の構成を示す図である。同図には基準電流生成回路が示されている。本例においては、基準電流の供給先の IC チップが 2 つである場合が示されている。

【0033】同図に示されているように、基準電流生成回路 2\_0 は、電流源 I\_{m1} と、この電流源 I\_{m1} と共に基準電流源を構成するトランジスタ Q\_{20} と、電流源 I\_{m2} 及びトランジスタ Q\_{20} を共通の基準電流源とし、この基準電流源と共にカレントミラーを構成するトランジスタ Q\_{21} 及び Q\_{22} とを含んで構成されている。トランジスタ Q\_{21}、Q\_{22} からそれぞれ導出される電流 I\_{m1}、I\_{m2} は、IC チップであるドライブ回路 2\_1、2\_2（図示せず）に与えられる。

【0034】さらに、基準電流生成回路 2\_0 には、ト

トランジスタ  $Q_{21}$ 、 $Q_{22}$  からそれぞれ導出される電流  $I_{cm1}$ 、 $I_{cm2}$  と、図示せぬドライブ回路 21、22 との対応関係を所定周期で切り替えるスイッチング回路 SW1、SW2 が設けられている。すなわち、トランジスタ  $Q_{21}$ 、 $Q_{22}$  からそれぞれ導出される電流  $I_{cm1}$ 、 $I_{cm2}$  は、このスイッチング回路 SW1、SW2 によって切り替えられ、出力電流  $I_{ref1}$ 、 $I_{ref2}$  として図示せぬドライブ回路 21、22 に与えられる。

【0035】スイッチング回路 SW1、SW2 を切り替えて時分割制御を行うことにより、カレントミラーの元電流を実現する電流源  $I_{org}$  と電流  $I_{ref1}$ 、 $I_{ref2}$  のばらつきの量は減少し、さらに電流  $I_{ref1}$  と電流  $I_{ref2}$  とが等しくなる。具体的には、カレントミラーの元電流  $I_{org}$  とカレントミラーで生成した電流  $I_{cm1}$  の電流ばらつき量を  $\Delta I_1$ 、カレントミラーの元電流  $I_{org}$  とカレントミラーで生成した電流  $I_{cm2}$  の電流ばらつき量を  $\Delta I_2$  とすると、スイッチング回路の出力電流  $I_{ref1}$ 、 $I_{ref2}$  は電流ばらつきも時分割されるため、ばらつきの平均は以下のようになる。

#### 【0036】

$$\text{ばらつきの平均} = 1/2 \times \sqrt{(\Delta I_1^2 + \Delta I_2^2)}$$

ここで、 $\Delta I_1 = \Delta I_2 = \Delta I$  とすれば、

$$\text{ばらつきの平均} = 1/\sqrt{2} \times \Delta I$$

となり、カレントミラーで生成した電流  $I_{cm1}$ 、 $I_{cm2}$  の電流ばらつき量よりも小さくなる。

【0037】また、スイッチング回路の出力電流  $I_{ref1}$ 、 $I_{ref2}$  は等しいことから複数の IC チップを用いてディスプレイパネル駆動回路を構成した場合であっても、IC チップ間の出力電流のばらつきを小さくすることができます。ここで、スイッチング回路の切り替えは、陰極線信号の切り替えタイミングで行う。図 2(a) は、スイッチング回路の切り替えタイミングを示すタイミングチャートである。同図には、カレントミラーで生成した電流  $I_{cm1}$ 、 $I_{cm2}$  がスイッチング回路 SW1、SW2 の切り替え動作によって出力電流  $I_{ref1}$  又は  $I_{ref2}$  として出力される様子が示されている。

【0038】同図に示されているように、陰極線 1、2、3…のオフとなるタイミングでスイッチング回路の切り替えを行うと、電流  $I_{ref1}$  と電流  $I_{ref2}$  の切り替えに伴うノイズを軽減できる。これにより、ディスプレイ画面のちらつき等の悪影響を避けることができ、良好な画像表示を実現できる。図 3 には、基準電流生成回路 20 と、第 1 の陽極線ドライブ回路 21 及び第 2 の陽極線ドライブ回路 22 との接続関係が示されている。同図を参考すると、上述したスイッチング回路 SW1、SW2 の切り替え動作によって出力される出力電流  $I_{ref1}$  が第 1 の陽極線ドライブ回路 21 にカレントミラーの基準電流として入力され、出力電流  $I_{ref2}$  が第 2 の陽極線ドライブ回路 22 にカレントミラーの基準電流として入力されている。

【0039】以上説明した基準電流生成回路 20 のスイッチング回路の出力電流  $I_{ref1}$  と出力電流  $I_{ref2}$  とが等しいので、それぞれ異なる IC チップで構成された第 1 の陽極線ドライブ回路 21、第 2 の陽極線ドライブ回路 22 にそれぞれ供給される電流のばらつきを小さくすることができる。図 4 にはスイッチング回路 SW1、SW2 の構成例が示されている。同図において、スイッチング回路 SW1、SW2 は、共に MOS (Metal Oxide Semiconductor) トランジスタ等によって構成されている。

【0040】同図に示されているスイッチング回路 SW1、SW2 は、それぞれ対応する IC チップのチャネル番号 N から出力される電流が入力される 2 つのアナログスイッチ 41 及び 42 と、アナログスイッチ 43 及び 44 を含んで構成されている。アナログスイッチ 41、42、43 及び 44 は、共に、ソース及びドレンを共通とする N 型 MOS トランジスタ及び P 型 MOS トランジスタによって構成されている。そして、これら N 型 MOS トランジスタ及び P 型 MOS トランジスタのゲートがスイッチング制御端子となり、互いに反転した信号によりオンオフが制御される。

【0041】また、同図においては、上記スイッチング制御端子であるゲートにパルス 201 を反転して与えるインバータ INV とを含んで構成されている。なお、インバータ INV は、例えば周知の CMOS (Complementary Metal Oxide Semiconductor) インバータ回路で構成する。アナログスイッチ 41 の N 型 MOS トランジスタ、アナログスイッチ 42 の P 型 MOS トランジスタ、アナログスイッチ 43 の P 型 MOS トランジスタ及びアナログスイッチ 44 の N 型 MOS トランジスタにはパルス 201 がそのまま入力されるのに対し、アナログスイッチ 41 の P 型 MOS トランジスタ、アナログスイッチ 42 の N 型 MOS トランジスタ、アナログスイッチ 43 の N 型 MOS トランジスタ及びアナログスイッチ 44 の P 型 MOS トランジスタには出力パルス 201 がインバータ INV によって論理反転されて入力される。このため、パルス 201 がハイレベルのときにアナログスイッチ 41、44 がオン状態で、アナログスイッチ 42、43 がオフ状態となる。一方、パルス 201 がローレベルのときにアナログスイッチ 41、44 がオフ状態で、アナログスイッチ 42、43 がオン状態となる。

【0042】前者の期間内においては、電流  $I_{cm1}$  が出力電流  $I_{ref1}$  として導出され、かつ、電流  $I_{cm2}$  が出力電流  $I_{ref2}$  として導出される。一方、後者の期間内においては、電流  $I_{cm1}$  が出力電流  $I_{ref2}$  として導出され、かつ、電流  $I_{cm2}$  が出力電流  $I_{ref1}$  として導出される。以上のようにスイッチング回路を構成することにより、複数の IC チップを用いてディスプレイパネル駆動回路を構成した場合であっても、IC チップ間の出力電流の

ばらつきを小さくすることができる。

【0043】なお、本実施例では基準電流生成回路20をICチップ1、ICチップ2の外部に設けた例を示したが、基準電流生成回路20をICチップ1の内部に設けて、出力電流 $I_{ref1}$ をICチップ1に供給し、出力電流 $I_{ref2}$ をICチップ2に供給するようにしても良い。この場合、ICチップ1をマスターIC、ICチップ2をスレーブICとして、2チップのみで構成可能になる。

【0044】また、以上はICチップを2つ用いた場合について説明したが、より多くのICチップを用いた場合においても同様にICチップと駆動電流供給源との対応関係（電気的接続状態）を所定周期で切り替えることにより、ICチップ間の出力電流のばらつきを小さくすることができる。例えば、複数のICチップに対して、複数の駆動電流源を用意し、ICチップと駆動電流源との接続を所定周期で順にローテーションしながら切り替えると、複数のICチップへの駆動電流は平均化され、ほぼ同レベルとすることができます。図2（b）は、3つのICチップに対して3つの駆動電流源を用意し、ローテーションしながら切り替えるタイミングを示すタイミングチャートである。

#### 【0045】

【発明の効果】以上説明したように本発明は、複数のICチップと複数の駆動電流供給源との対応関係を所定周期で切り替えることにより、カレントミラーで発生する電流ばらつきを小さくすることができるという効果がある。また複数のICチップ間での基準電流のばらつきをなくすことができるので、ディスプレイパネル上において均一な発光輝度が得られるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明によるディスプレイパネル駆動回路の主要部分の構成を示す図である。

【図2】図1のディスプレイパネル駆動回路におけるスイッチング回路の切り替えタイミングを示すタイミング

チャートである。

【図3】基準電流生成回路と陽極線ドライブ回路との接続関係を示す図である。

【図4】スイッチング回路の構成例を示す図である。

【図5】EL素子の概略構成を示す図である。

【図6】EL素子の特性を電気的に示す等価回路を示す図である。

【図7】複数のEL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。

【図8】画素データ及び走査線選択信号の供給タイミングを示す図である。

【図9】陽極線ドライブ回路を2つのICチップで構成した場合を示す図である。

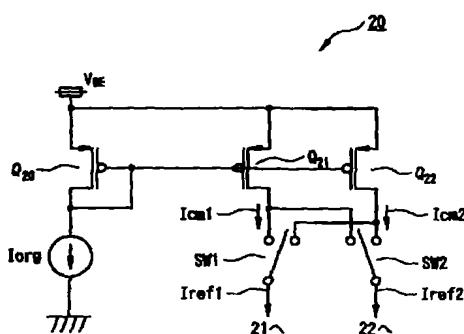
【図10】発光制御回路による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図11】陽極線ドライブ回路の内部構成例を示す図である。

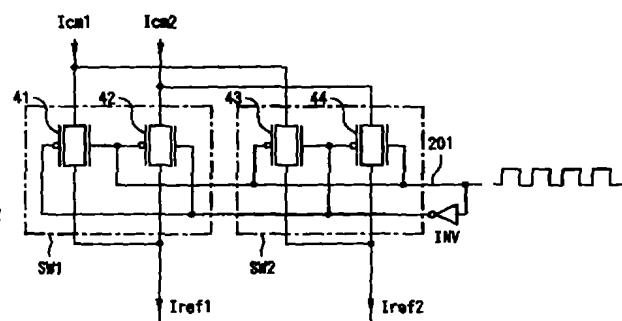
#### 【符号の説明】

- 1 発光制御回路
- 2 陽極線ドライブ回路
- 3 陰極線走査回路
- 10 ELDP
- 20 基準電流生成回路
- 21, 22 陽極線ドライブ回路
- 30 陰極線走査回路
- 100 透明基板
- 101 透明電極
- 102 有機機能層
- 103 金属電極
- CC 駆動電流制御回路
- CO 制御電流出力回路
- $I_{org}$  電流源
- $Q_{20}, Q_{21}, Q_{22}$  ワンショット
- SW1, SW2 スイッチング回路

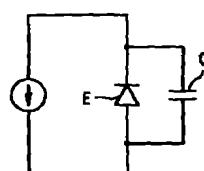
【図1】



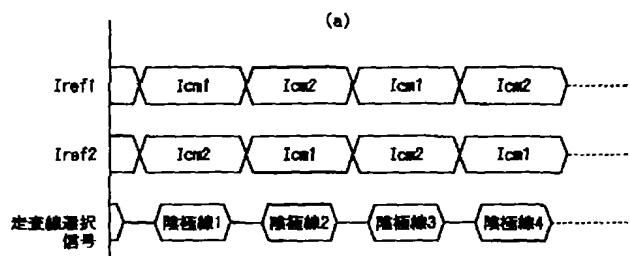
【図4】



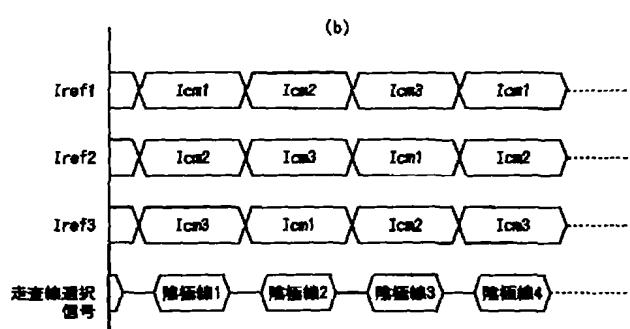
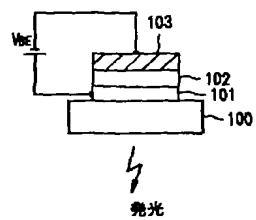
【図6】



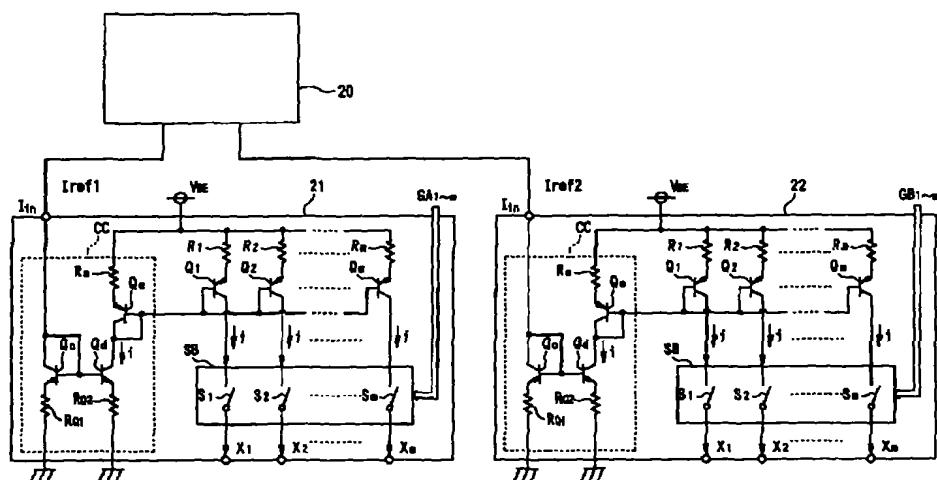
【図2】



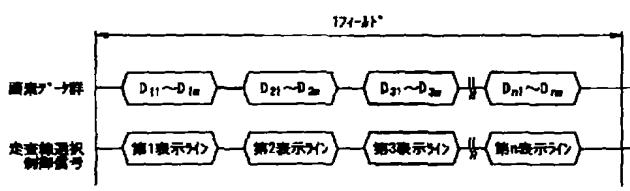
【図5】



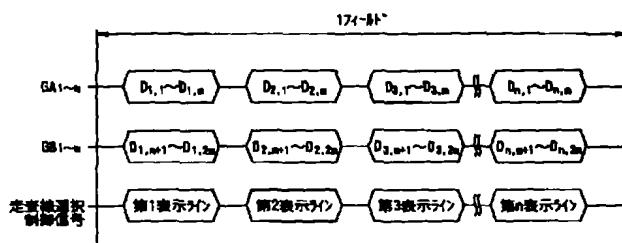
【図3】



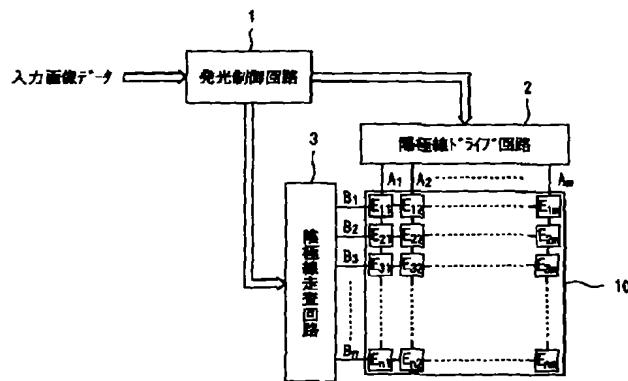
【図8】



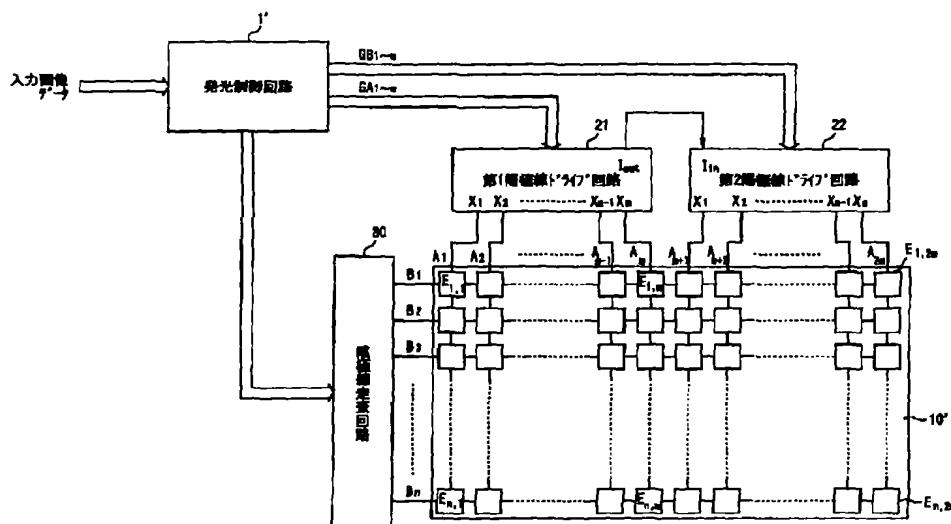
【図10】



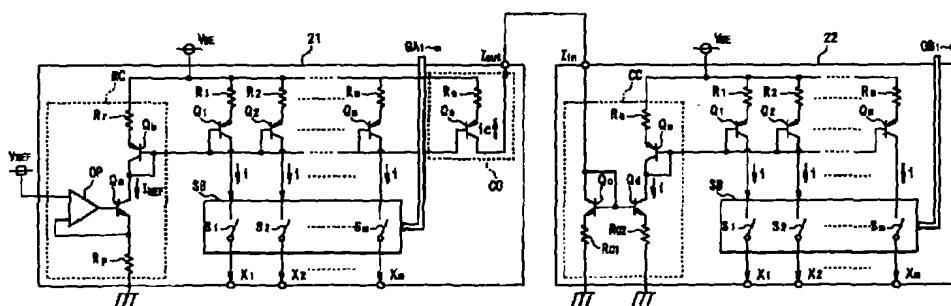
【図 7】



【図 9】



【図 11】



フロントページの続き

F ターム(参考) 3K007 AB02 AB17 BA06 DA01 DB03  
EB00 GA04  
5C080 AA06 BB05 DD03 EE28 JJ02  
JJ03